

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 02 日  
Application Date

申請案號：092112093  
Application No.

申請人：矽品精密工業股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 6 月 24 日  
Issue Date

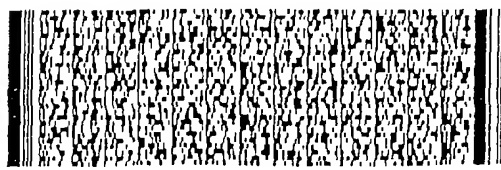
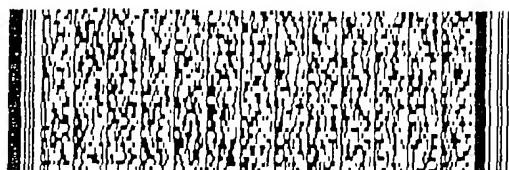
發文字號：09220623170  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

發明名稱	中文	導線架建構之無接腳式半導體封裝結構及製程
	英文	LEADFRAME-BASED NON-LEADED SEMICONDUCTOR PACKAGE AND METHOD OF FABRICATING THE SAME
發明人 (共5人)	姓名 (中文)	1. 李春源 2. 蔡岳穎
	姓名 (英文)	1. Yuan-Chun LI 2. Terry TSAI
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台中縣后里鄉大圳路525號 2. 台中縣清水鎮觀音巷10號
	住居所 (英文)	1. No. 525, Da-Zhuan Road, Hou-Li, Taichung, Taiwan, R.O.C. 2. No. 10, Kuan-Yin Lane, Chin-Shui Chen, Taichung Hsien, Taiwan, R.O.C.
申請人 (共1人)	名稱或姓名 (中文)	1. 矽品精密工業股份有限公司
	名稱或姓名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



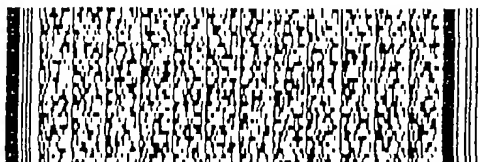
申請日期: 92.5.2  
申請案號: 92112093

IPC分類

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	3. 陳韋宏 4. 許進登
	姓名 (英文)	3. Holman CHEN 4. Chin-Teng HSU
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 台中市東山路一段242-1號 4. 台中市北區永興街216號
	住居所 (英文)	3. No. 242-1, Sec. 1, Dong-Shan Road, Taichung, Taiwan, R.O.C. 4. No. 216, Yuan-Hsin St., North District, Taichung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

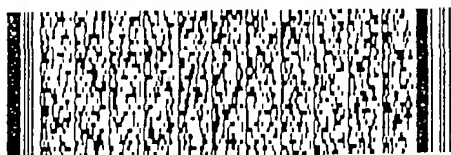


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	5. 洪瑞祥
	姓名 (英文)	5. Jui-Hsiang HUNG
	國籍 (中英文)	5. 中華民國 TW
	住居所 (中文)	5. 彰化縣芳苑鄉仁愛村芳樂街34號
	住居所 (英文)	5. No. 34, Fong-Lou Street, Jen-Ai Village, Fong-Yuan, Chunghua, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：導線架建構之無接腳式半導體封裝結構及製程)

一種導線架建構之無接腳式半導體封裝結構及製程，其可用以製造一無接腳式之半導體封裝件，例如為四方扁平型無接腳式封裝件；且其特點在於形成一凹穴於導線架的置晶部的置晶表面上，用以作為封裝膠體的栓扣結構，藉此而將封裝膠體栓扣於定位上而不易發生脫層現象。此外，由於凹穴的形成可降低晶片的頂部高度，因此可增加封裝膠體位於鐸線上方之部分的厚度，藉此而避免鐸線外露，使得整體之封裝件的良率更為提高。

本案代表圖：第 3E圖

310 導線架

311 導線架 310的置晶部

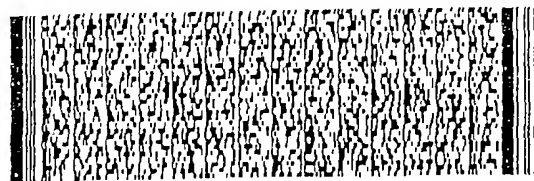
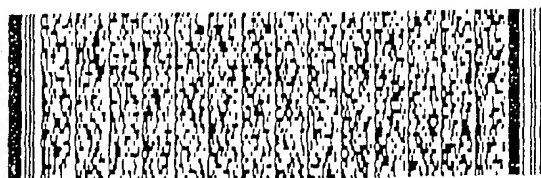
311a 階梯狀結構部

312 導線架 310的導腳部

312a 階梯狀結構部

六、英文發明摘要 (發明名稱：)

A leadframe-based non-leaded semiconductor package and method of fabricating the same is proposed, which is used for the fabrication of a non-leaded type of semiconductor package, such as QFN (Quad Flat No-lead) package. The proposed semiconductor packaging technology is characterized by the provision of a recessed portion in the paddle portion of the leadframe to

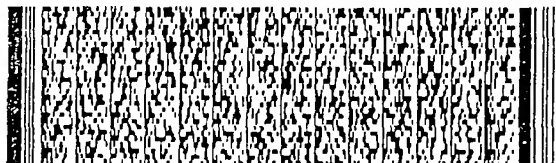


四、中文發明摘要 (發明名稱：導線架建構之無接腳式半導體封裝結構及製程)

313 凹 穴  
320 半 導 體 晶 片  
330 鉅 線  
340 封 裝 膠 體

六、英文發明摘要 (發明名稱：)

help secure the encapsulation body more firmly in position without delamination, as well as help lower the position of the packaged chip to help prevent the bonding wires from being exposed to the outside of the encapsulation body. These features can help the finished package to be more reliable with increased good yield.



一、本案已向

國家(地區)申請專利 - 申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

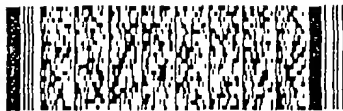
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### [發明所屬之技術領域]

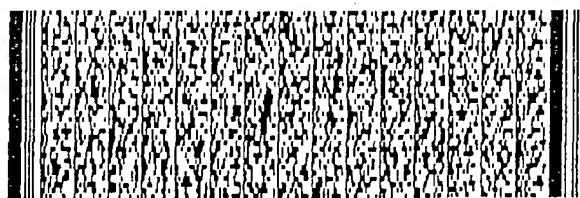
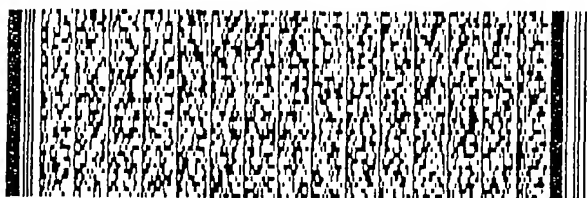
本發明係有關於一種半導體封裝技術，特別是有關於一種導線架建構之無接腳式半導體封裝技術，其可用以製造一無接腳式之半導體封裝件，例如為四方扁平型無接腳式 (Quad Flat No-lead, QFN) 封裝件。

### [先前技術]

四方形平面無接腳式 (Quad Flat Non-leaded, QFN) 半導體封裝技術為半導體業界習用之一種晶片封裝技術，其特點在於其中之外接電性接觸點並非設計成突出於外緣的接腳，而係設計成非突出式之底部鐸墊，因此可使得整體之封裝尺寸更為輕薄短小。利用表面藕接技術 (Surface Mount Technology, SMT)，即可將外露之底部鐸墊鐸結及電性藕接至外部之印刷電路板。

相關的專利技術例如包括：美國專利第 5,172,214 號 "LEADLESS SEMICONDUCTOR DEVICE AND METHOD FOR MAKING THE SAME"；美國專利第 6,229,200 號 "SAW-SINGULATED LEADLESS PLASTIC CHIP CARRIER"；以及美國專利第 6,143,981 號 "PLASTIC INTEGRATED CIRCUIT PACKAGE AND METHOD AND LEADFRAME FOR MAKING THE PACKAGE"；等等。

第 1 圖即顯示根據美國專利第 5,172,214 號之專利技術所構建之 QFN 封裝件的剖面結構形態。如圖所示，此 QFN 封裝件至少包含：(a) 一導線架 110，其具有一中央之置晶部 111 和一周邊之導腳部 (包括複數支導腳) 112；(b) 一半導



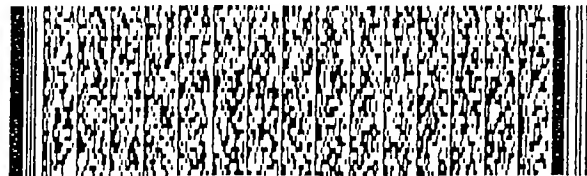
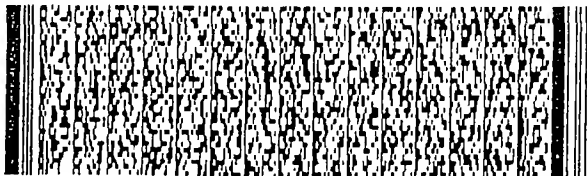


## 五、發明說明 (2)

體晶片 120，其係安置於導線架 110 之置晶部 111 上；(c)一組鐳線 130，其例如為金線，用以將晶片 120 電性藕接至導線架 110 的導腳部 112；以及 (d)一封裝膠體 140，用以包覆晶片 120 和鐳線 130，但至少曝露出導線架 110 之導腳部 112 的底部表面，但亦可同時曝露出導線架 110 的置晶部 111 的底部表面。

然而上述之第 1 圖所示之 QFN 封裝件的一項缺點在於其中之封裝膠體 140 易於因導線架 110 與封裝膠體 140 之間的熱膨脹係數 (Coefficient of Thermal Expansion, CTE) 差異而受到熱應力的影響而產生脫層現象 (delamination)，亦即在封裝膠體 140 與導線架 110 的置晶部 111 和導腳部 112 之間產生裂縫 141、142，造成品質性不佳的問題。

第 2 圖即顯示上述問題的一種解決方法，其為根據美國專利第 6,229,200 和 6,143,981 號所揭之封裝結構。如圖所示，此 QFN 封裝結構包含：(a)一導線架 210，其具有一中央之置晶部 211 和一周邊之導腳部 212；(b)一半導體晶片 220，其係安置於導線架 210 之置晶部 211 上；(c)一組鐳線 230，其例如為金線，用以將晶片 220 電性藕接導線架 210 的導腳部 212；以及 (d)一封裝膠體 240，用以包覆該半導體晶片 220 和該組鐳線 230，但至少曝露出導線架 210 之導腳部 212 的底部表面，但亦可同時曝露出導線架 210 的置晶部 211 的底部表面。此 QFN 封裝結構的特點在於形成階梯狀結構部 211a、212a 於導線架 210 之置晶部 211 和導腳部



### 五、發明說明 (3)

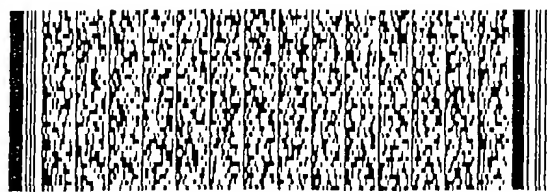
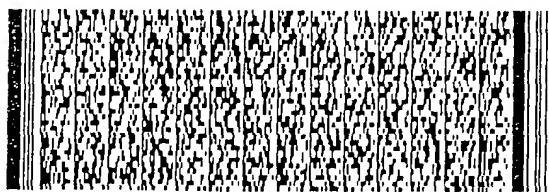
212的底面上、或將導線架 210的表面粗糙化，藉此而增加封裝膠體 240與導線架 210之間的附著力而防止封裝膠體 240發生脫層現象。

然而上述之第 2圖所示之 QFN封裝結構的缺點在於當有需要將整體封裝尺寸變薄(例如為用以製作厚度小於 0.5mm 的封裝件時)而將其中之導線架 210更進一步薄化時，則導線架 210上的階梯狀結構部 211a、212a將因過薄而無法提供足夠之附著力，使得封裝膠體 240易於再產生脫層現象。舉例來說，如第 2圖所示，若整體封裝尺寸為 0.5mm 時，導線架 210的厚度為 0.2mm、晶片 220的厚度為 0.15mm、而鐳線 230的弧高則為 0.127mm，使得封裝膠體 240中位於鐳線 230上方的厚度僅為 0.023mm，將易於發生鐳線外露出膠體之情況而造成產品不良。若將導線架 210的厚度變薄至 0.127mm，則其可增加封裝膠體 240中位於鐳線 230上方的厚度至 0.096mm；但此時由於導線架 210過薄(僅有 0.127mm)，因此導線架 210上的階梯狀結構部 211a、212a將因過薄而無法提供足夠之附著力，使得封裝膠體 240仍易於產生脫層現象。

再者，當晶片 220為大尺寸之晶片時，較大的導線架 210的置晶部 211將產生較大的熱應力，使得導線架 210無法僅靠階梯狀結構部及粗糙化的表面來提供足夠之附著力，使得封裝膠體 240易於產生脫層現象。

[發明內容]

鑒於以上所述習知技術之缺點，本發明之主要目的便



#### 五、發明說明 (4)

是在於提供一種新的半導體封裝技術，其可用來製作 0.5mm以下之超薄型 QFN封裝件，但不會使得封裝膠體產生脫層現象。

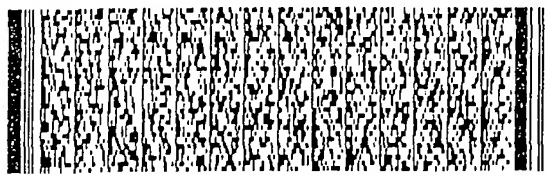
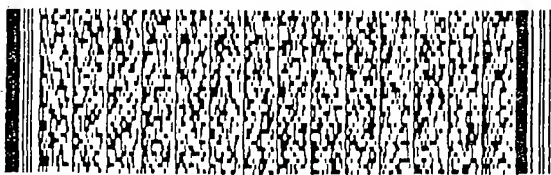
本發明之另一目的在於提供一種新的半導體封裝技術，其可用來封裝大尺寸的晶片，但不會使得封裝膠體產生脫層現象。

本發明的又一目的在於提供一種新的半導體封裝技術，其可不必將導線架的整體厚度變小即可用來製作 0.5mm以下之超薄型 QFN封裝件，且不會使得封裝膠體產生脫層現象。

本發明之無接腳式半導體封裝技術可用以製造一無接腳式之半導體封裝件，例如為四方扁平型無接腳式 (Quad Flat No-lead, QFN)封裝件；且其特點在於形成一凹穴於導線架的置晶部的置晶表面上，用以作為封裝膠體的栓扣結構，藉此而將封裝膠體栓扣於定位上而不易發生脫層現象。此外，由於凹穴的形成可降低晶片的頂部高度，因此可增加封裝膠體位於鐸線上方之部分的厚度，藉此而避免鐸線外露，使得整體之封裝件的良率更為提高。本發明之無接腳式半導體封裝技術因此較習知技術具有更佳之進步性及實用性。

#### [實施方式]

以下即配合所附圖式之第 3A至 3E圖，詳細揭露說明本發明之無接腳式半導體封裝技術之實施例。於以下之實施例中，本發明之無接腳式半導體封裝技術係例如用以製作



#### 五、發明說明 (5)

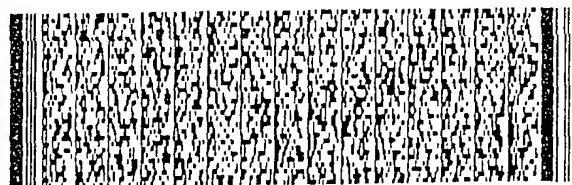
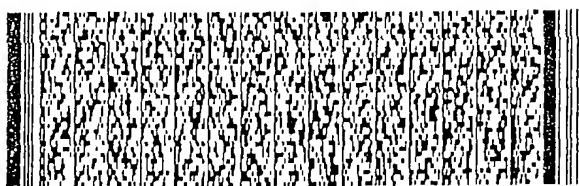
一個四方扁平型無接腳式 (Quad Flat No-lead, QFN) 封裝件。

請首先同時參閱第 3A 圖之剖面圖和第 3B 圖之上視圖，本發明之無接腳式半導體封裝技術於製程上的第一步驟為預製一導線架 310，其具有一中央之置晶部 311 和一周邊之導腳部 (包括複數支導腳) 312。本發明的特點在於該導線架 310 的置晶部 311 的置晶表面上形成有一凹穴 313，其形成方法例如為採用半蝕刻技術 (half etch) 來將導線架 310 的置晶部 311 的上表面蝕刻至一預定之深度。舉例來說，若該導線架 310 的整體厚度為 0.2mm，則該凹穴 313 的預定深度可例如為 0.1mm。此外，該導線架 310 的置晶部 311 和導腳部 312 可進而形成有階梯狀結構部 311a、312a。

請接著參閱第 3C 圖，下一個步驟為進行一置晶程序，藉以將至少一半導體晶片 320 以黏貼方式安置於導線架 310 之置晶部 311 上的凹穴 313 中。此半導體晶片 320 的厚度例如為 0.15mm。

請接著參閱第 3D 圖，下一個步驟為進行一鐸線程序，藉以利用一組鐸線 330，例如為金線，來將該半導體晶片 320 電性藕接至導線架 310 的導腳部 312。於此實施例中，該組鐸線 330 的弧高 (loop height) 例如為 0.127mm。

請接著參閱第 3E 圖，最後一個步驟為進行一封裝膠體製程，藉此而形成一封裝膠體 340，用以包覆半導體晶片 320 和所有的鐸線 330，但至少曝露出導線架 310 之導腳部 312 的底部表面，且亦可同時曝露出導線架 310 之置晶部



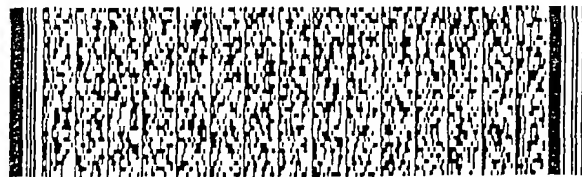
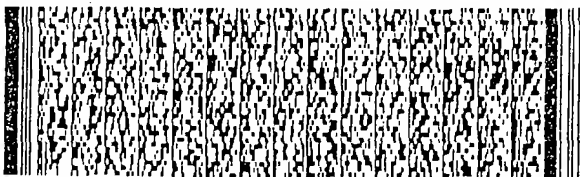
#### 五、發明說明 (6)

311的底部表面。此即完成本發明之無接腳式半導體封裝製程。

完成上述之QFN封裝製程之後，由第3E圖可看出，導線架310之置晶部311上的凹穴313可作為封裝膠體340的一個栓扣結構，藉此而將該封裝膠體340栓扣於定位上而不易發生脫層現象。此外，由於該凹穴313的形成可降低晶片320的頂部高度，因此可增加封裝膠體340位於鐸線330上方之部分的厚度。舉例來說，如第3E圖所示，封裝膠體340位於鐸線330上方之部分的厚度可增加至0.123mm，其大於第2圖所示之先前技術的0.023mm，從而避免鐸線外露，因此提高整體之封裝件的良率。

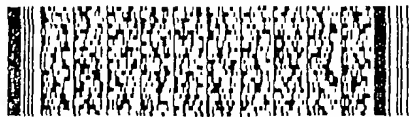
綜而言之，本發明提供了一種新穎之半導體封裝技術，其可用以製造一無接腳式之半導體封裝件，例如為QFN封裝件；且其特點在於形成一凹穴於導線架的置晶部的置晶表面上，用以作為封裝膠體的栓扣結構，藉此而將封裝膠體栓扣於定位上而不易發生脫層現象。此外，由於凹穴的形成可降低晶片的頂部高度，因此可增加封裝膠體位於鐸線上方之部分的厚度，避免鐸線外露，使得整體之封裝件的良率更為提高。本發明因此較習知技術具有更佳之進步性及實用性。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之實質技術內容的範圍。本發明之實質技術內容係廣義地定義於下述之申請專利範圍中。若任何他人所完成之技術實體或方法與下述之申請專利範圍所定義者為完



五、發明說明 (7)

全相同、或是為一種等效之變更，均將被視為涵蓋於此專利範圍之中。



## 圖式簡單說明

### [圖式簡單說明]

第 1圖 (先前技術) 為一剖面結構示意圖，其顯示一種習知之 QFN 封裝件的剖面結構形態；

第 2圖 (先前技術) 為一剖面結構示意圖，其顯示另一種習知之 QFN 封裝件的剖面結構形態；

第 3A圖 為一剖面結構示意圖，其顯示本發明之無接腳式半導體封裝技術所採用之導線架的剖面結構形態；

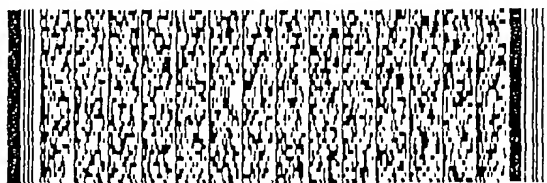
第 3B圖 為一正面結構示意圖，其顯示第 3A圖所示之導線架的正面結構形態；

第 3C圖 為一剖面結構示意圖，其用以顯示本發明之無接腳式半導體封裝技術中的置晶程序；

第 3D圖 為一剖面結構示意圖，其用以顯示本發明之無接腳式半導體封裝技術中的鐳線程序；

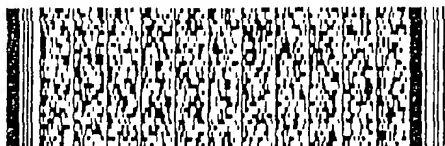
第 3E圖 為一剖面結構示意圖，其用以顯示本發明之無接腳式半導體封裝技術中的封裝膠體製程。

- 110 導線架
- 111 導線架 110 的置晶部
- 112 導線架 110 的導腳部
- 120 半導體晶片
- 130 鐳線
- 140 封裝膠體
- 141 脫層裂縫
- 142 脫層裂縫



圖式簡單說明

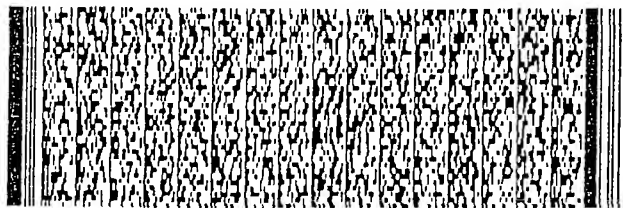
- 210 導線架
- 211 導線架 210的置晶部
- 211a 階梯狀結構部
- 212 導線架 210的導腳部
- 212a 階梯狀結構部
- 220 半導體晶片
- 230 鐳線
- 240 封裝膠體
- 310 導線架
- 311 導線架 310的置晶部
- 311a 階梯狀結構部
- 312 導線架 310的導腳部
- 312a 階梯狀結構部
- 313 凹穴
- 320 半導體晶片
- 330 鐳線
- 340 封裝膠體





## 六、申請專利範圍

1. 一無接腳式半導體封裝結構，其至少包含：
  - 一導線架，其具有一中央之置晶部和一周邊之導腳部；其中該置晶部的一表面上形成有一預定深度的凹穴；
  - 至少一半導體晶片，其係安置於該導線架之置晶部上的凹穴中；
  - 一組鐸線，其係用以將該半導體晶片電性藕接至該導線架的導腳部；以及
  - 一封裝膠體，其係用以包覆該半導體晶片和該鐸線，但至少曝露出該導線架之導腳部的部分表面。
2. 如申請專利範圍第1項所述之無接腳式半導體封裝結構，其中該導線架之置晶部上的凹穴的形成方法係採用半蝕刻技術。
3. 如申請專利範圍第1項所述之無接腳式半導體封裝結構，其中該些鐸線係為金線。
4. 如申請專利範圍第1項所述之無接腳式半導體封裝結構，其中該導線架的置晶部和導腳部進而形成有階梯狀結構部。
5. 一無接腳式半導體封裝製程，其至少包含：
  - (1) 預製一導線架，其具有一中央之置晶部和一周邊之導腳部；其中該置晶部的一表面上形成有一預定深度的凹穴；
  - (2) 進行一置晶程序，藉以將至少一半導體晶片安置於該導線架之置晶部上的凹穴中；

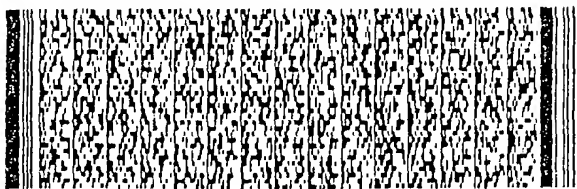


#### 六、申請專利範圍

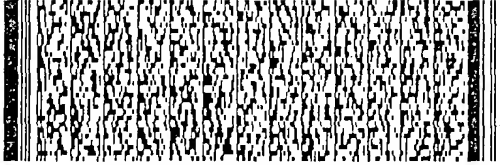
(3) 進行一鐳線程序，藉以利用一組鐳線來將該半導體晶片電性藕接至該導線架的導腳部；以及

(4) 進行一封裝膠體製程，藉以形成一封裝膠體，用以包覆該半導體晶片和該鐳線，但至少曝露出該導線架之導腳部的部分表面。

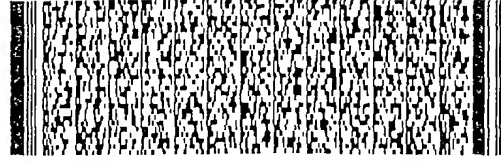
6. 如申請專利範圍第5項所述之無接腳式半導體封裝製程，其中於步驟(1)中，該導線架之置晶部上的凹穴的形成方法係採用半蝕刻技術。
7. 如申請專利範圍第5項所述之無接腳式半導體封裝製程，其中於步驟(1)中，該導線架的置晶部和導腳部進而形成有階梯狀結構部。
8. 如申請專利範圍第5項所述之無接腳式半導體封裝製程，其中於步驟(3)中，係採用鐳線技術藉由一組鐳線來將該半導體晶片電性藕接至該導線架的導腳部。
9. 如申請專利範圍第8項所述之無接腳式半導體封裝製程，其中該些鐳線係為金線。



第 1/17 頁



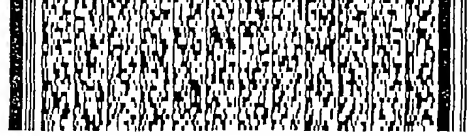
第 1/17 頁



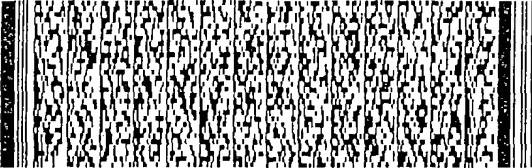
第 2/17 頁



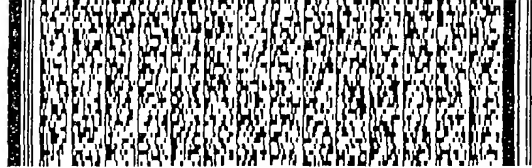
第 3/17 頁



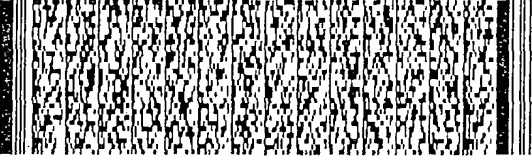
第 4/17 頁



第 4/17 頁



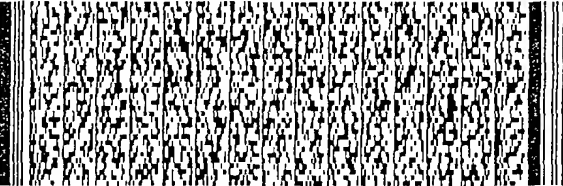
第 5/17 頁



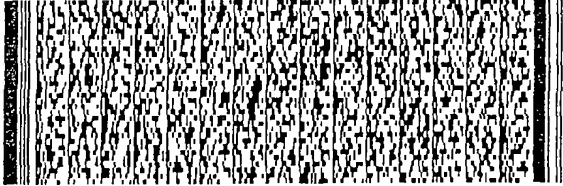
第 6/17 頁



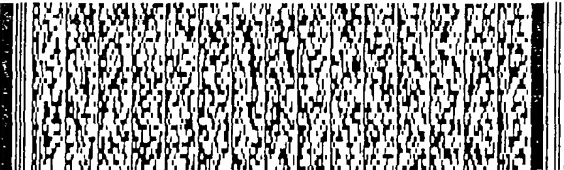
第 7/17 頁



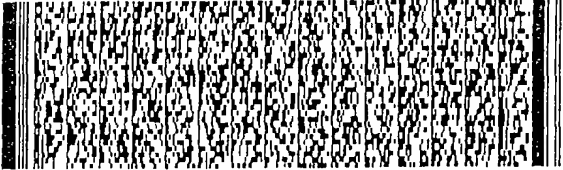
第 7/17 頁



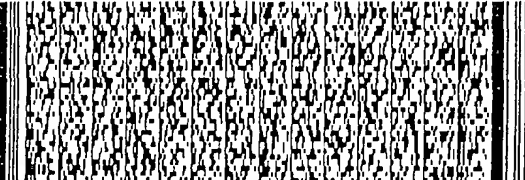
第 8/17 頁



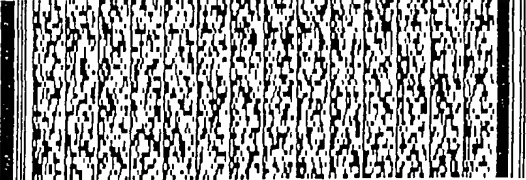
第 8/17 頁



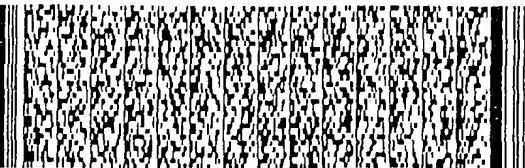
第 9/17 頁



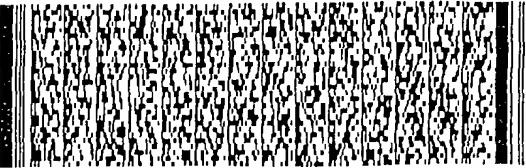
第 9/17 頁



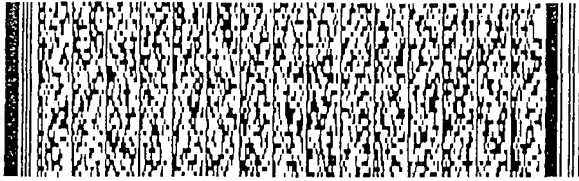
第 10/17 頁



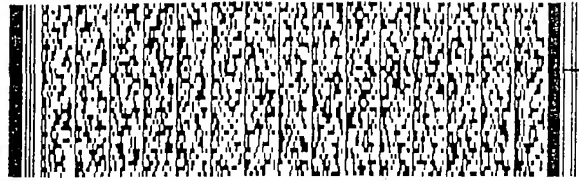
第 10/17 頁



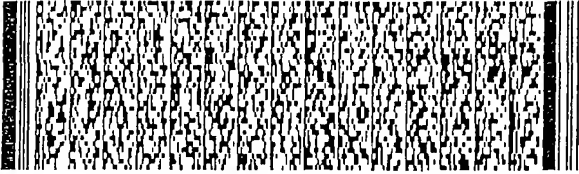
第 11/17 頁



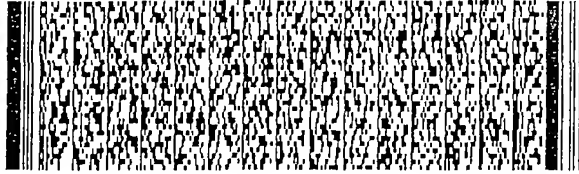
第 11/17 頁



第 12/17 頁



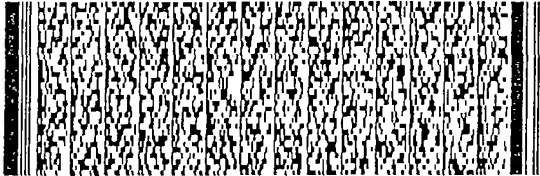
第 12/17 頁



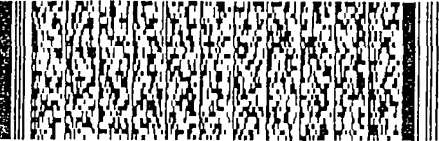
第 13/17 頁



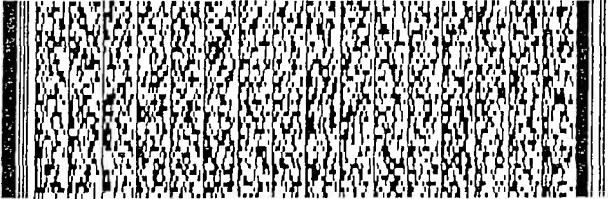
第 14/17 頁



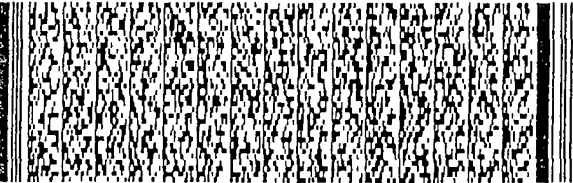
第 15/17 頁

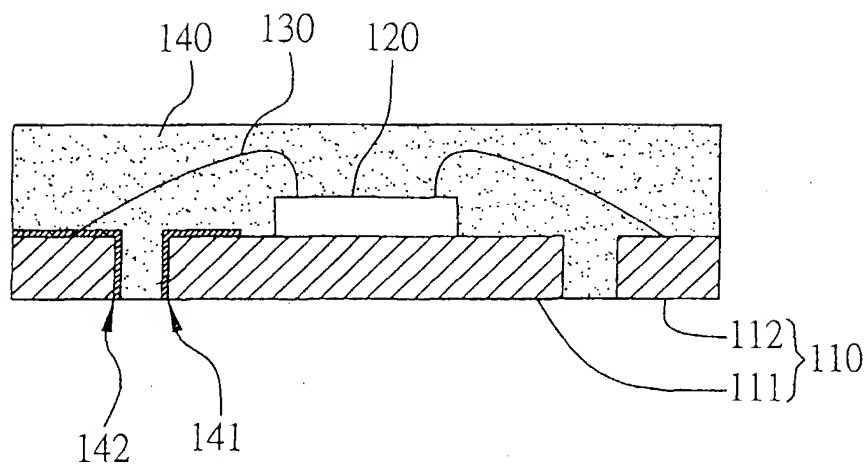


第 16/17 頁

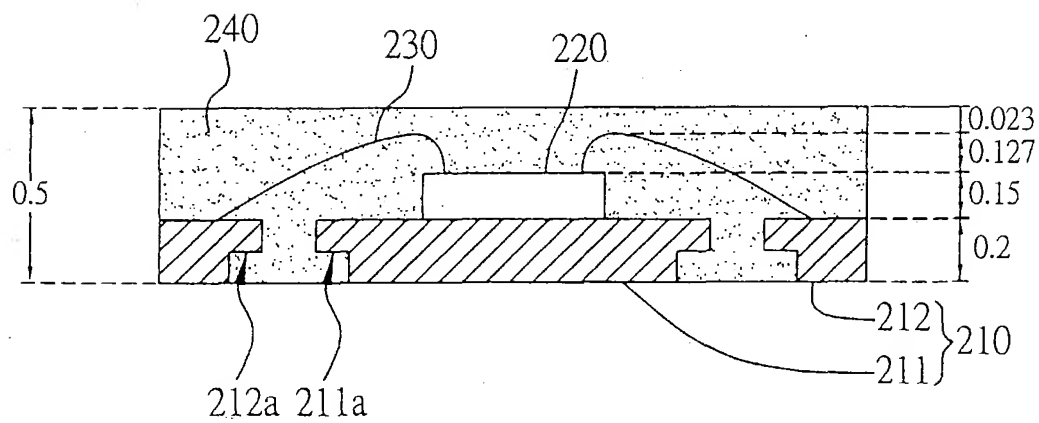


第 17/17 頁

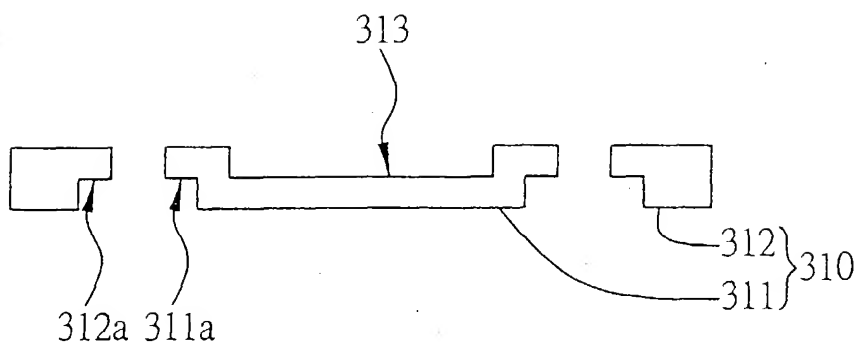




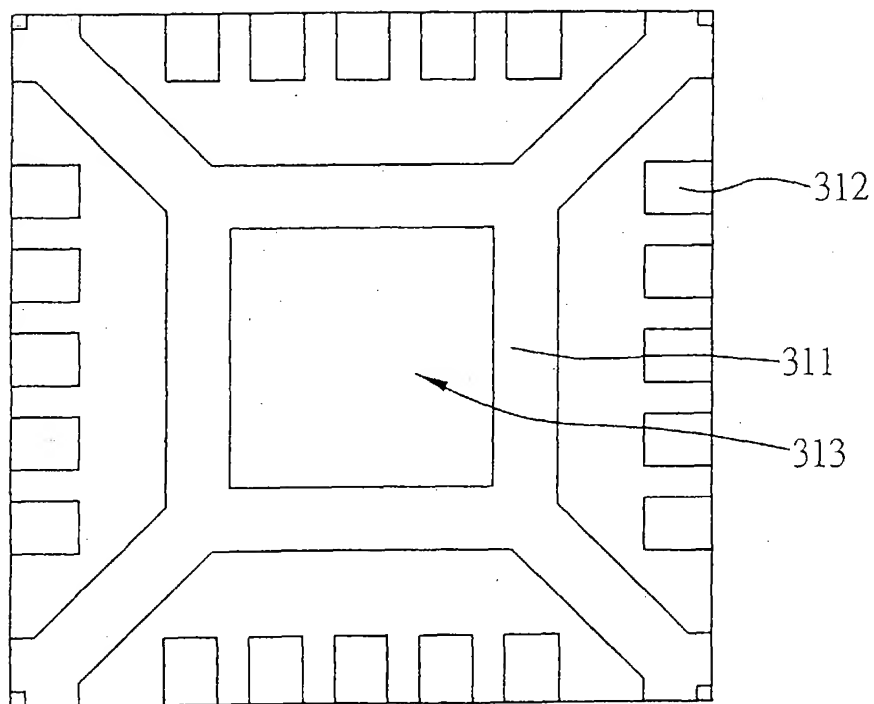
第 1 圖 (先前技術)



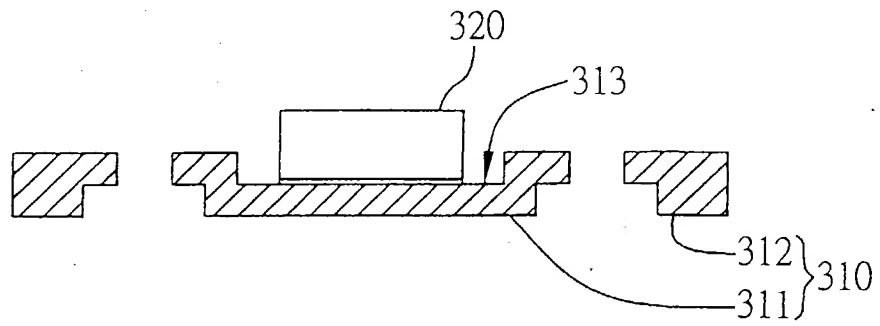
第 2 圖 (先前技術)



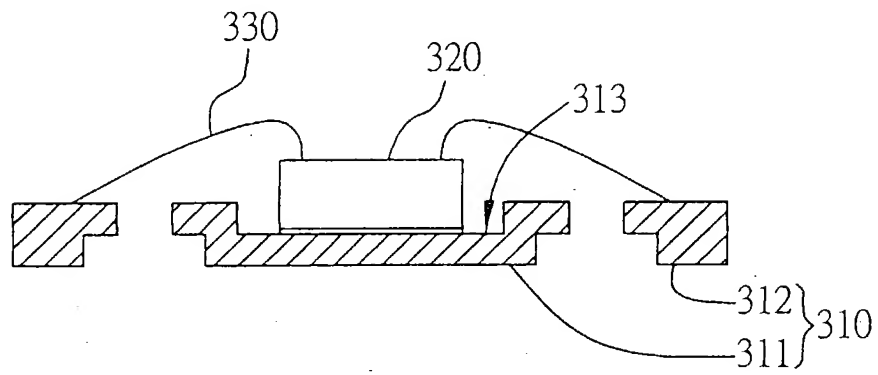
第 3A 圖



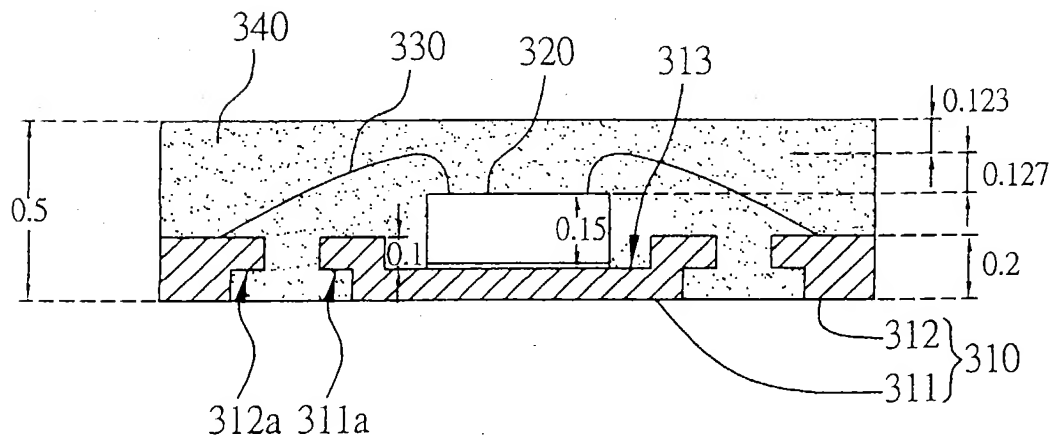
第 3B 圖



第 3C 圖



第 3D 圖



第 3E 圖 (代表圖)